用于粒子物理实验数据传输系统中的高速电荷泵锁相环设计

邓翔宇[1]，李昊[1]，韩维佳[2,3]，杨海波[2,3,4]，赵承心[2,3,4]

（1. 西北师范大学物理与电子工程学院，兰州 730000；

2. 中国科学院近代物理研究所，兰州 730000；

3. 先进能源科学与技术广东省实验室，惠州 516003；

4. 中国科学院大学，北京 100049）

摘要：本文在 UMC 55nm CMOS 工艺下，实现了一款 10GHz 高速输出、低功耗的高性能电荷泵锁相环设计，可以为粒子物理实验中数据传输系统提供高频差分时钟脉冲。设计了一种双支路通路电荷泵，通过引入运算放大器、虚拟管等措施抑制非理想因素对电路造成的影响。设计了高速、低功耗的 64 分频电路将锁相环输出的 10 GHz 差分时钟转化成 156.25MHz 的单端时钟。设计了采用了互补交叉耦合结构的 LC 压控振荡器，使其在快速起振的同时又具有较小的相位噪声。仿真结果表明，在经典工艺角下 VCO 在 1MHz 频偏处的相位噪声为-104.14dBc/Hz。PLL 在 500ns 完成锁定，功耗 22.34mW，峰峰值抖动为 6.59ps。

关键词： 锁相环；电荷泵；分频器；高速

中图分类号：TN710 **文献标志码**：A doi：

1 引言

粒子物理学是研究物质结构的最小单元及其相互作用规律的前沿学科[1]。粒子物理实验以高能粒子为研究对象，需要借助粒子探测器去考察粒子的能量、轨迹等，是粒子物理学的研究基础。在粒子物理实验中，实验结果经过前端探测器系统采集后，需要传输到后端系统中完成数据处理，因此数据传输系统是粒子物理实验中数据处理的重要组成部分。随着当代粒子物理实验的发展，实验装置中的探测器种类，通道数都在爆炸式增长，数据传输速率要求越来越高，目前用于粒子物理实验中高速数据传输的 Serdes（Serializer-Deserializer）电路主要由发送电路、锁相环、接收电路组成，锁相环为数据发送端和数据接收端提供高速的时钟脉冲信号，锁相环性能的好坏直接影响到数据传输的质量，是高速数据传输系统中的关

收稿日期： 2023－XX－XX；修回日期： 2024－XX－XX

基金项目： 国家自然科学基金（12005278，12005279）

作者简介：邓翔宇（1974- ），男，甘肃康县人,博士、硕士生导师.主要研究方向为人工智能、数字图像处理等; E-mail: dengxy000@126.com

通讯作者： 杨海波，E-mail: yanghaibo@impcas.ac.cn；

键模块。

电荷泵锁相环（Charge Pump Phase Locked Loop，CPPLL）由于其具有捕捉间短、捕捉范围宽、线性度好和稳态相位差几乎为零的优点，常常作频率综合器，广泛应用于高速数据传输系统中时钟脉冲信号源的产生[2,3] 。本文拟在 UMC 55nm CMOS 工艺下设计一款低功耗、高速的电荷泵锁相环，来为粒子物理实验中高速数据传输提供精确的时钟脉冲信号。

2 CPPLL 结构和工作原理

如图 1 所示，CPPLL 由五个模块组成，分别是鉴频鉴相器（Phase Frequency Detector，PFD）、电荷泵（Charge Pump，CP）、二阶低通滤波器（Low-pass Filter，LPF）、压控振荡器（Voltage-Controlled Oscillator，VCO）以及高速 64 分频器（Frequency Divider，DIV）。

该电荷泵锁相环电路是一个闭环负反馈系统，它的工作原理如下：鉴频鉴相器通过比较输入的参考信号 F_{ref} 与分频器反馈回来的信号 F_{fb} 的相位，将它们的相位差转变成与此相位差成正比的脉冲信号 Up、Dn，此脉冲信号控制电荷泵对二阶低通滤波器进行充电或者放电，进而调节 V_{ctrl} 的大小，V_{ctrl} 控制压控振荡器产生不同频率的差分高频时钟信号 Out+、Out-。Out+、Out-一方面作为 CPPLL 的输出供给其他电子系统，另一方面经过高速 CML 4 分频器、差分转单端电路以及 TSPC 16 分频器生成反馈信号 F_{fb} 作为 PFD 的输入完成系统的闭环。

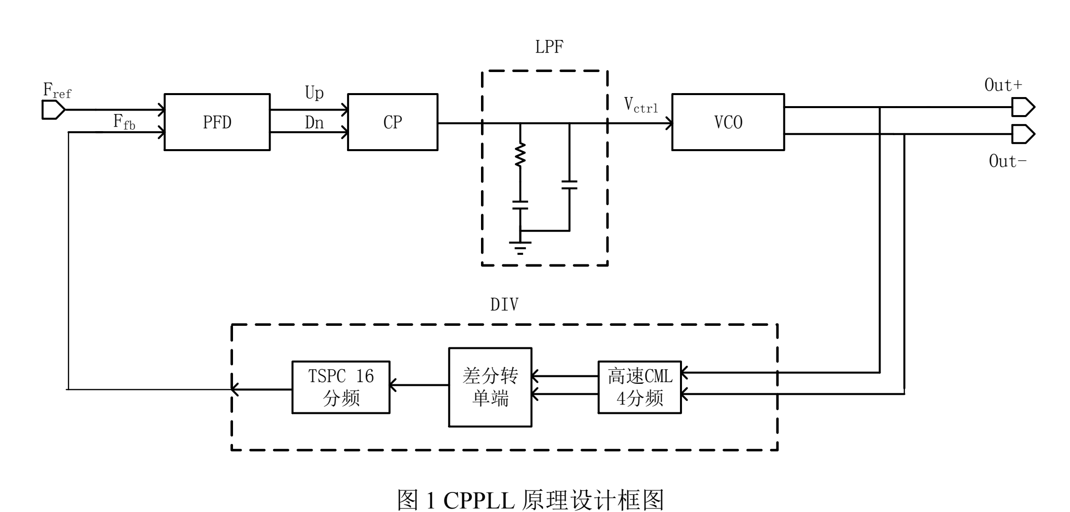


图 1 CPPLL 原理设计框图

3 锁相环中的电路设计与仿真

3.1 鉴频鉴相器的设计

PFD 的功能是鉴别输入参考时钟信号 F_{ref} 和 VCO 输出信号经过 DIV 反馈时钟信号 F_{fb} 的频率和相位差，并利用此相位差产生高低电平去控制电荷泵进行充电或放电。但是当参考时钟和反馈时钟相位差过小时会出现“死区”现象[4]。所谓“死区”指的是相位差小于一定的数值后，PFD 输出的高电平脉冲信号宽度不能使电荷泵正常开启，也就意味着此时 PFD 不能

正常工作，“死区”的存在会导致整个锁相环环路的抖动增加，并且恶化锁相环的相位噪声[5,6]。

PFD 电路设计如图 2 所示，由上升沿触发的 D 触发器、与门、传输门以及反相器组成。当参考时钟 F_{ref} 上升沿先于反馈时钟 F_{fb} 的上升沿到来时，Up 此时输出高电平维持，当 F_{fb} 的上升沿到来时，Dn 输出高电平，此时由于 Up、Dn 信号通过与门的反馈回路连接到 D 触发器的复位端，Up、Dn 的输出同时变为低电平。输出 Up 信号的脉冲宽度即是参考时钟 F_{ref} 与反馈时钟 F_{fb} 的相位差。同理，当反馈时钟 F_{fb} 的上升沿先于参考时钟 F_{ref} 上升沿到来时，输出 Dn 信号的脉冲宽度即是参考时钟 F_{ref} 与反馈时钟 F_{fb} 的相位差。通过在与门和 Rst 信号之间加入一组反相器缓冲器（buffer）可以增加 PFD 复位信号的脉冲宽度，即使参考时钟 F_{ref} 与反馈时钟 F_{fb} 的相位差很小时其输出的脉冲信号也足以打开电荷泵进行充电或者放电，避免了死区的出现。

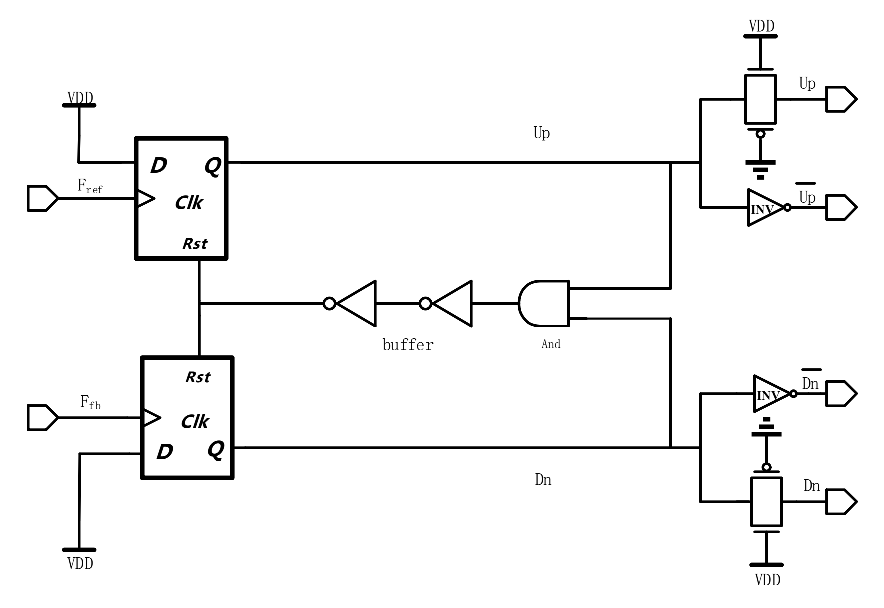


图 2 鉴频鉴相器电路

3.2 电荷泵的设计

电荷泵电路是连接 PFD 与 LPF 的桥梁，其接收 PFD 输出的脉冲信号并在此信号的控制下对 LPF 进行充电或者放电，传统的单通路电荷泵由于电流失配、电荷共享、电荷注入等非理想因素的存在会对输出电压产生较大的干扰，进而恶化 PLL 的相位噪声，影响 PLL 的性能[7,8,9]。

改善后的电荷泵电路的设计如图 3 所示，采用漏极开关结构。电流镜采用大尺寸管子，来削弱沟道长度调制效应，提高电荷泵的电流匹配性。为了避免电荷共享效应造成输出电压的波动，采取双支路通路，同时引入单位增益运算放大器（Amp）进行电压钳位。

当 Up 为高电平，Dn 为低电平时，M4、M9 关断，M3、M10 打开，电荷泵对输出 Iout 节点充电，当 Up 为低电平,Dn 为高电平时，M3、M10 关断，M4、M9 打开，电荷泵对输出 Iout 放电，当 Up、Dn 同时为高电平时，M3、M9 关断，M4、M10 打开，电流从右侧通路 VDD 流向 VSS，电荷泵处于保持状态，当 Up、Dn 同时为低电平时，M3、M9 打开，M4、M10 关断，电流从左侧通路 VDD 流向 VSS，电荷泵仍处于保持状态，这样可以保证电荷泵不管在任何时刻，电流源都处于工作状态，缩短电流的建立时间。引入的单位增益运算放大器具有钳位作用，将 Vref 和 Vout 强制相等，抑制电荷的重新分布，解决了电荷共享效应带来的影响。

另外 M5、M6、M7、M8 管是虚拟开关（Dummy）管，其控制信号与对应的 M3、M4、M9、M10 开关管极性相反，用来抑制电荷注入效应。

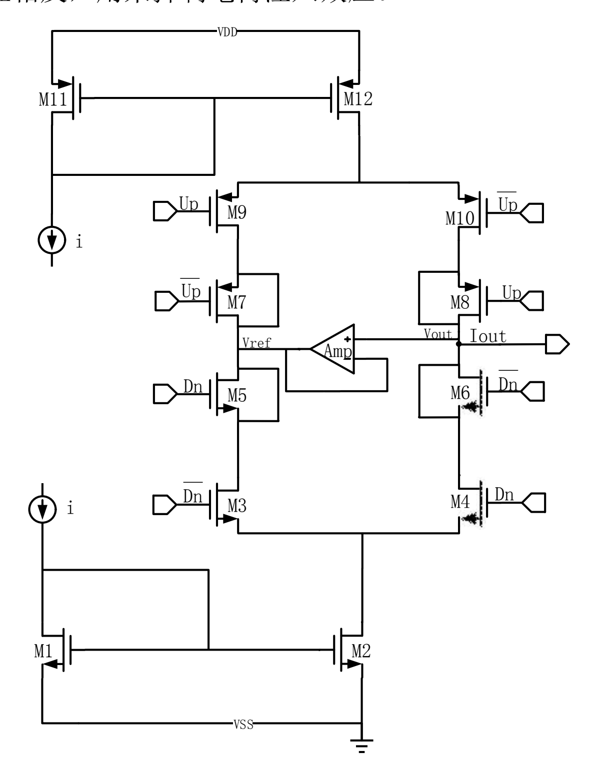


图 3 双支路通路电荷泵电路

3.3 低通滤波器设计

低通滤波器决定了整个锁相环的环路带宽，进而决定系统的稳定性。考虑到锁相环对噪声的要求比较高，有源滤波器带来的噪声干扰较大，低通滤波器电路如图 4 所示，由电组 R_1 和 C_1 串联再与 C_2 并联构成的二阶无源低通滤波器。

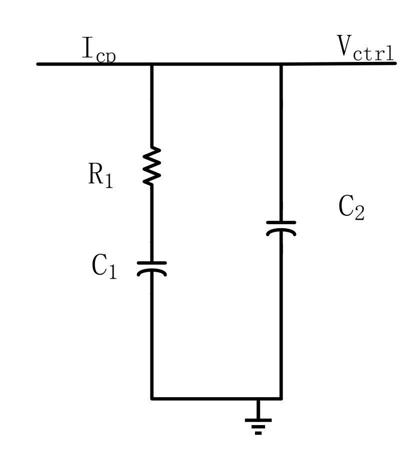


图 4 二阶低通滤波器设计

写出整个 PLL 的开环传递函数：

$$H(s)=\frac{1}{N}\frac{I_{cp}}{2\pi}\frac{1+sR_1C_1}{s^2R_1C_1C_2+s(C_1+C_2)}\frac{Kvco}{s}$$

其中 $\frac{1}{N}$ 为分频器的传递函数，$\frac{I_{cp}}{2\pi}$ 为鉴频鉴相器与电荷泵的传递函数，$\frac{1+sR_1C_1}{s^2R_1C_1C_2+s(C_1+C_2)}$ 为低通滤波器的传递函数，$\frac{K\text{vco}}{s}$ 为压控振荡器的传递函数。

二阶低通滤波器[10]为 CPPLL 系统贡献两个极点：ω_{p1}、ω_{p2}，一个零点：ω_z，其中 ω_{p1} 位于原点位置，$\omega_{p2}=\frac{1}{R_1\frac{C_1C_2}{C_1+C_2}}$，$\omega_z=\frac{1}{R_1C_1}$，压控振荡器贡献一个位于原点的极点 ω_{p3}

则在频率 ω 处系统的相位裕度为：

$$PM=180^\circ-90^\circ-90^\circ+\arctan(\frac{\omega}{\omega_z})-\arctan(\frac{\omega}{\omega_{p2}}),$$

即：

$$PM=\arctan(\frac{\omega}{\omega_z})-\arctan(\frac{\omega}{\omega_{p2}})$$

为了保证系统的稳定性，锁相环的单位增益带宽取 12MHz，相位裕度取 60 度，采用裕度最大法，求得电阻及电容的值。

3.4 压控振荡器设计

压控振荡器的输出信号即锁相环的输出信号，因此设计一个性能良好的压控振荡器尤为

重要。压控振荡器一般分为两种：电容电感压控振荡器（LC-VCO）和环形压控振荡器（Ring-VCO）[11]。在相噪方面 LC-VCO 比 Ring-VCO 的性能优秀的多，且 LC-VCO 的工作频率通常比 Ring-VCO 高。基于负阻结构的互补交叉耦合型 LC-VCO 电路设计如图 5 所示。M1、M2 构成 NMOS 负阻，M3、M4 构成 PMOS 负阻，电感 L 与变容管 C 并联形成谐振腔。NMOS 中多数载流子的移动速度大于 PMOS 中的多数载流子，同等条件下 NMOS 的跨导比 PMOS 的跨导大，振荡器更容易起振，但是 PMOS 的闪烁噪声性能比 NMOS 优秀，互补交叉耦合型 LC-VCO 兼具两者的优势。

LC-VCO 利用变容管在不同输入电压下电容值的不同来控制振荡器的震荡频率，其震荡频率为：

$$f = \frac{1}{2\pi\sqrt{LC}}$$

交叉耦合 LC-VCO 起振条件：

$$\left| -\frac{2}{g_{mn} + g_{mp}} \right| > R_P$$

其中 g_{mn} 和 g_{mp} 分别为 NMOS 和 PMOS 的跨导，R_p 为 LC 谐振腔寄生电阻，合理选择电容、电感以及 MOS 管尺寸，完成相应设计。

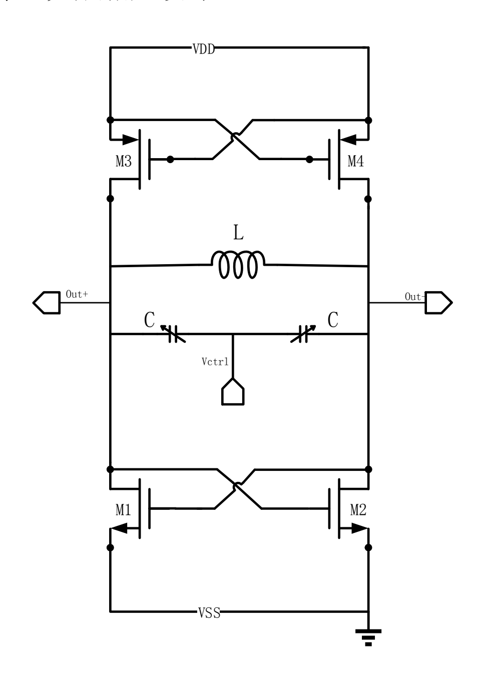


图 5 互补耦合压控振荡器电路设计

3.5 64 分频器电路设计

分频器作为反馈回路连接在 VCO 与 PFD 之间，需要处理 CPPLL 输出的 10GHz 的差分

信号，为了保证所设计的分频器能够在较低功耗下处理高速信号，选用如图 7 所示电路，第一部分采用电流模逻辑（Current-Model Logic，CML）结构的 D 触发器实现高速四分频电路，第二部分为差分转单端电路，将四分频电路输出的差分信号转为单端信号，第三部分为真单项时钟（True Single Phase Clock，TSPC）结构的 D 触发器实现 16 分频电路。

图 8 为 CML 结构锁存器电路图，M4、M5 对管构成采样对管，M6、M7 互补耦合对管构成锁存对管，CML 结构是一种由电流控制的差分电路与结构，其增益大、转换速率快,相比于 TSPC 结构，CML 结构具有噪声低、频率覆盖范围宽、可以处理差分信号、更小的级间延迟，能够工作在更高的频率上，缺点是功耗较大[12,13]。

图 9 为 TSPC 电路图，电路结构简单，管子数目少，没有静态功耗，响应速度快，可以在几 MHz 到几 GHz 下正常工作[14]。其缺点是在较低输入频率时，电路中的浮空节点不能长时间维持当前电平状态，导致输出错误；当输入频率过高时，由于 CMOS 晶体管的寄生电容的存在，电路不能及时响应输入电平边沿的变化。此时仍然会导致输出错误的结果。

图 10 为差分转单端电路图，第一级采用有源电流镜作负载的差分电路，第二级采用电流源做负载的共源级放大电路，实现将输入差分信号转为单端信号的功能。

此 64 分频器电路，结合了 CML DFF 与 TSPC DFF 的优势，第一级 CML 结构的分频器可以将高速 10GHz 差分信号的转变成 2.5GHz 的差分信号，第二级差分转单端电路将 2.5GHz 的差分信号转变成 2.5GHz 的单端信号，最后一级低功耗的 TSPC 结构分频器将 2.5GHz 的单端信号转变成 156.25MHz 的信号。

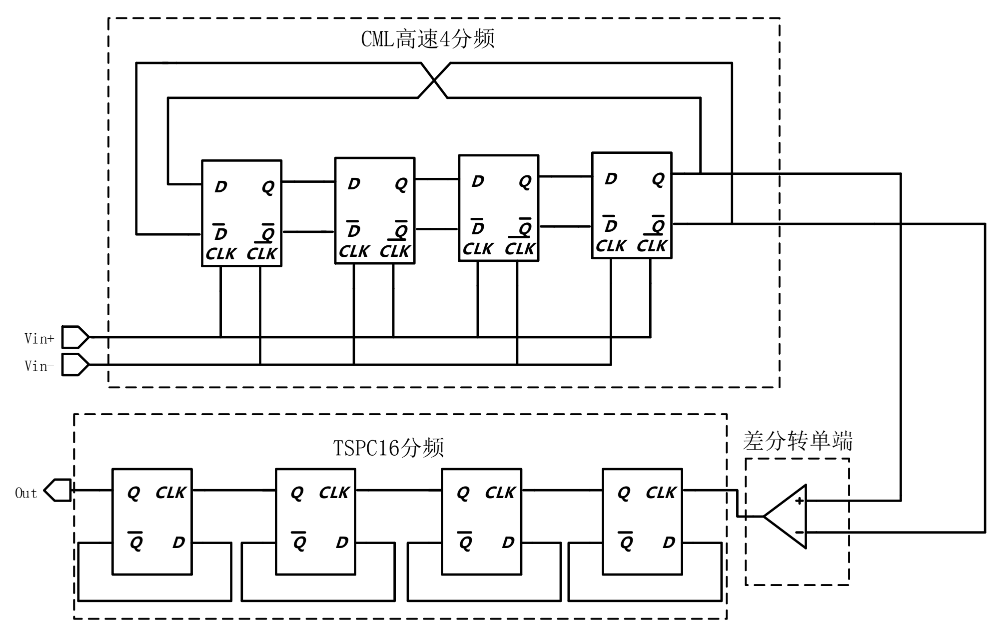


图 7 高速 64 分频电路

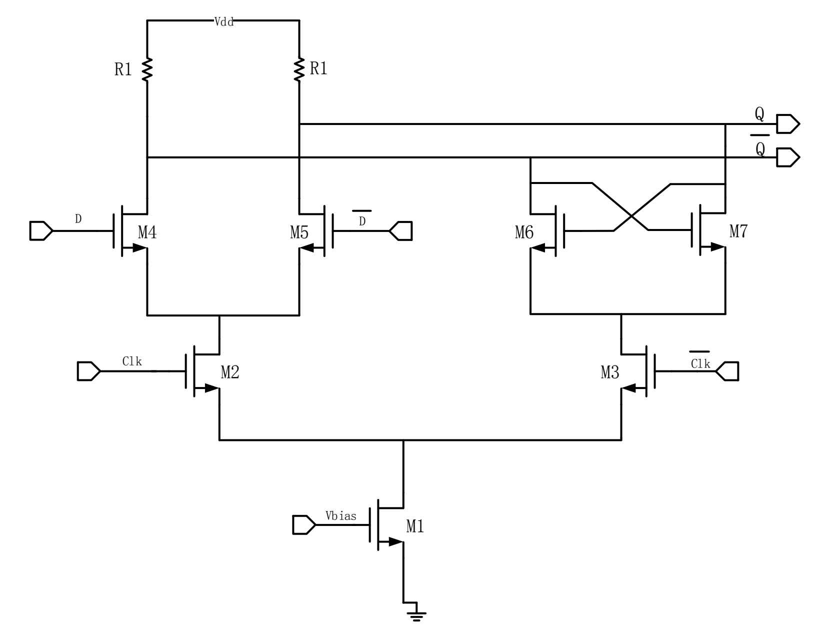


图 8 CML 结构锁存器电路

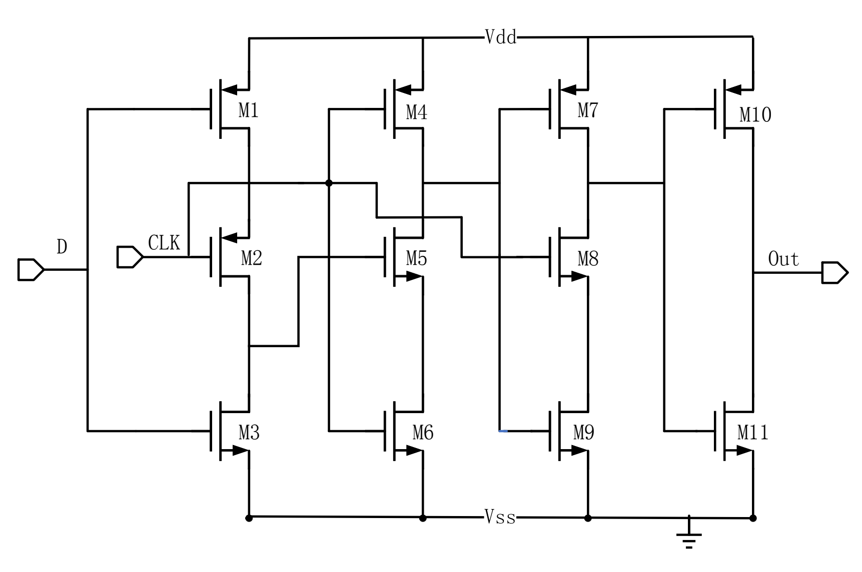


图 9 TSPC D 触发器电路

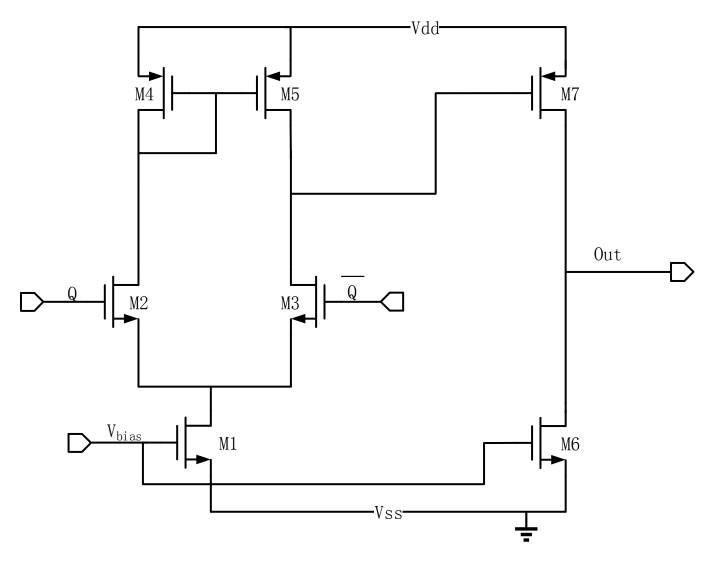


图 10 差分转单端电路

4 锁相环版图设计及整体后仿真验证

PLL 完整版图如图 11 所示，在输入参考时钟 156.25MHz、电源电压 1.2 V 情况下对 PLL 进行后仿真，得到以下结果图：图 12 为 PLL 锁定过程的仿真图，由图可知，CPPLL 在 500ns 左右已经完成锁定，锁定时的控制电压为 740mV 左右。图 13 为 PLL 输出信号的眼图，从图中可以得到，输出信号抖动 6.59ps。图 14 为 VCO 的相位噪声仿真结果，由图可知，VCO 的相位噪声为-104.14dBc/Hz@1 MHz。图 15 为分频器的仿真结果，由图可知，此分频器可以正确的处理 10GHz 的高速信号，PLL 输出的 10GHz 差分信号首先被分成 2.5GHz 的差分信号，经过差分转单端电路转变为 2.5GHz 的单端信号，最后经由 TSPC16 分频分成 156.25MHz 的单端信号。图 16 为 VCO 的输出频率曲线图，由图可知 VCO 的输出调谐频率为 8.5~12.02GHz，具有较宽的调谐范围。瞬态仿真结果表明，PLL 平均功耗 22.34mW。

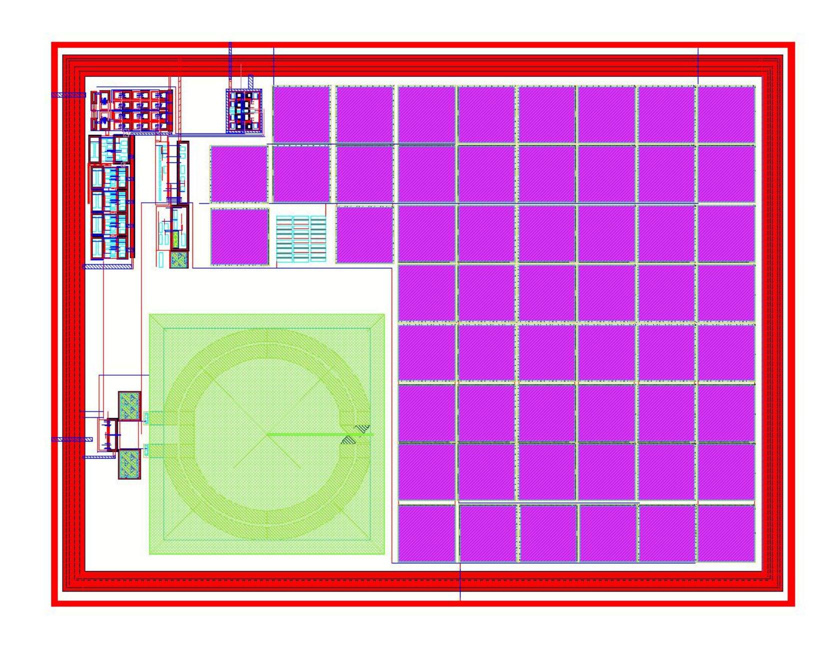


图 11　PLL 完整版图

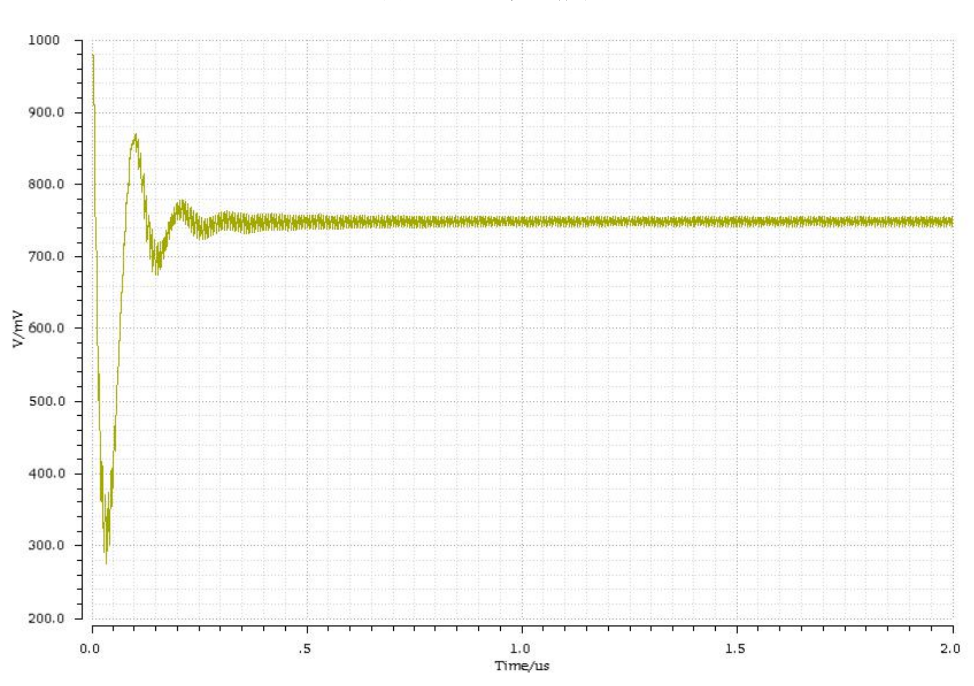


图 12　PLL 锁定时间以及控制电压波形

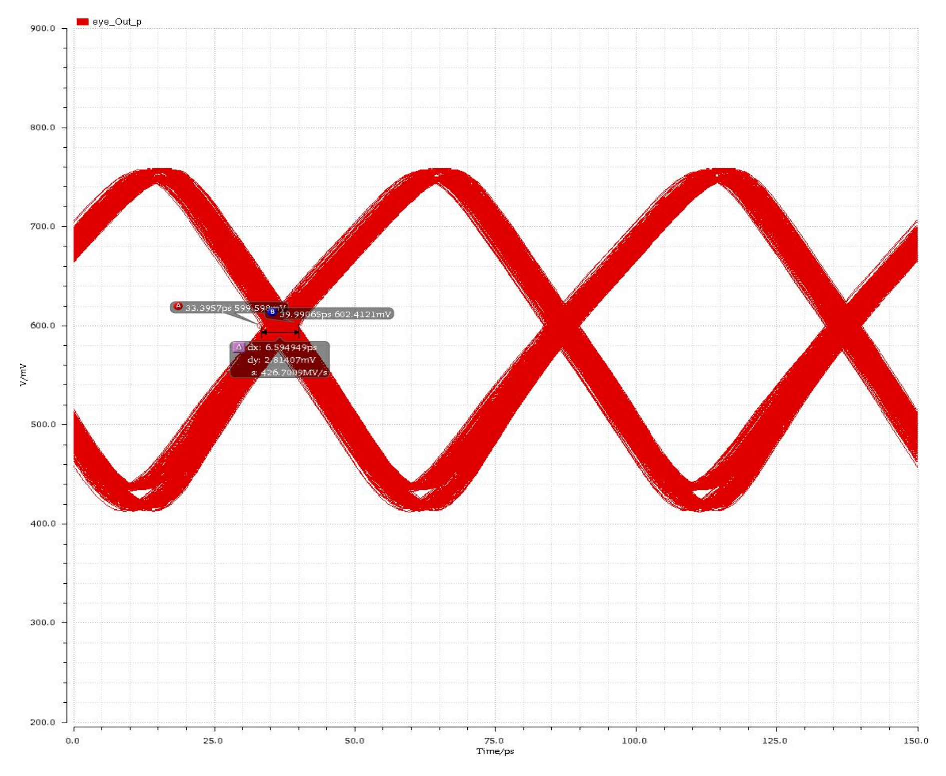


图 13　PLL 输出信号眼图

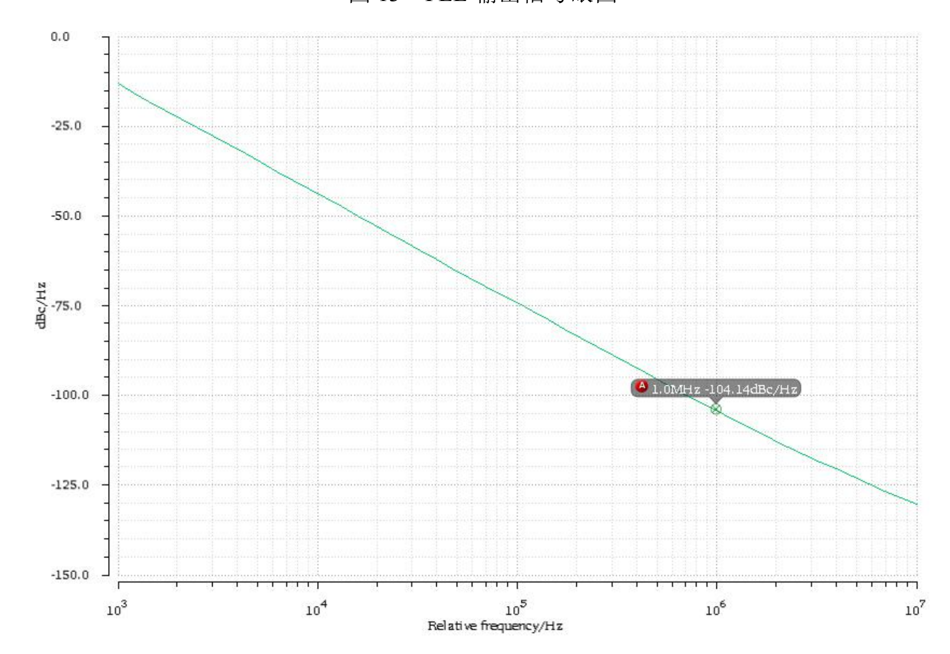


图 14　VCO 相位噪声

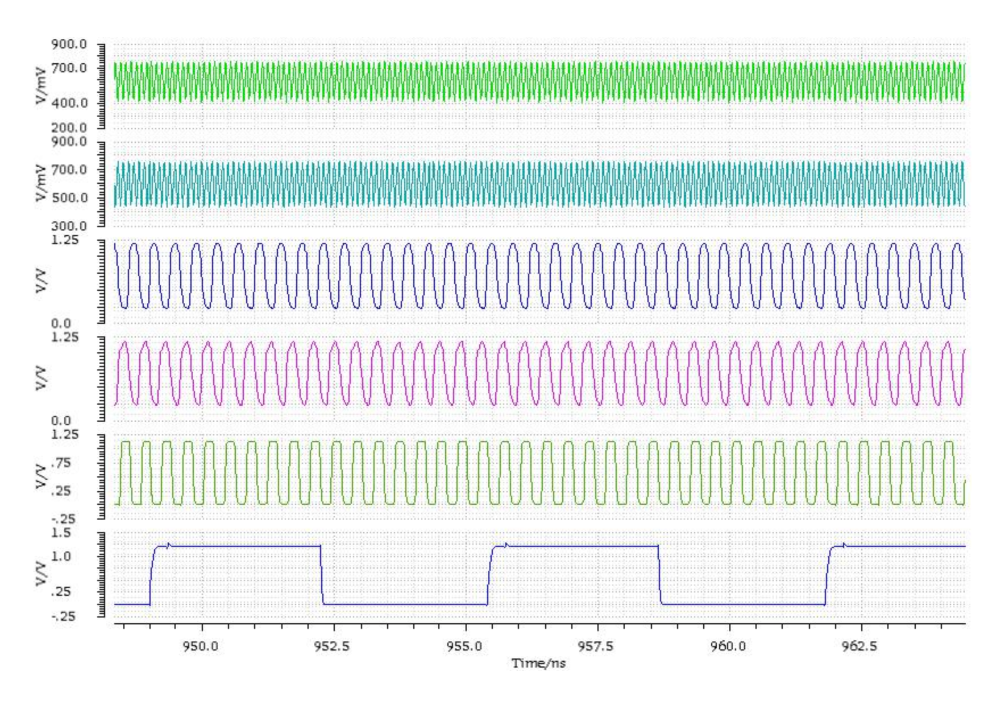


图 15 锁相环输出经过分频器的时序图

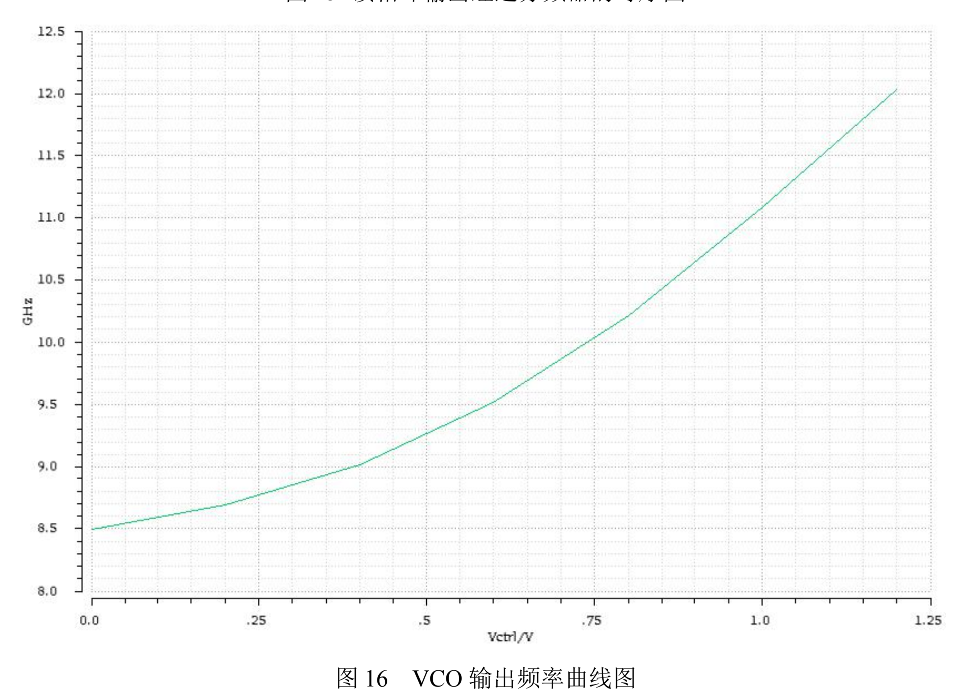


图 16 VCO 输出频率曲线图

5 总结

本文在 UMC 55nm CMOS 工艺下，完成了一款 10GHz CPPLL 的设计，可以为粒子物理实验中数据传输系统提供高频差分时钟脉冲。其中电荷泵模块设计了一种双支路差分结构，有效的解决了电荷共享、电荷注入以及充放电电流失配等非理想因素，改善了锁相环的相位噪声。分频器模块采用 CML 结构与 TSPC 结构的级联，这种结构既实现了高速差分 10GHz

信号的分频，又使得其功耗较低。仿真结果表明，本文所设计的锁相环锁定时间为 500ns 左右，功耗为 22.34mW，VCO 的相位噪声-104.14dBc/Hz@1MHz，锁相环的输出抖动为 6.59ps，锁相环的输出频率范围为 8.5~12.02GHz，可以作为频率综合器为数据发送端和数据接收端提高速、低抖动的时钟脉冲信号。

参考文献

[1] CHEN H S,ZHANG C,LI W G,et al. Major renovation project of Beijing Electron Positron Collider [J]. Knowledge of Modern physics.2009，1(03):20-26. doi: 10.1360/SSPMA2014-00152

（陈和生，张闯，李卫国.北京正负电子对撞机重大改造工程 [J].现代物理知识.2009,1(03):20-26）

[2] LI S,YOU F,LIN Y.Optimal Design of a Wideband 10 GHz LC-VCO with small Kvco variation in 0.13 μm GSMC CMOS process[C] // International Conference on Electronics Technology.Chengdu : ICET,2018 : 15. doi:10.1109/ELTECH.2018.8401396

[3] GAO X. Sub-sampling PLL for Millimeter Wave Applications : an overview [C] // IEEE MTT-S International Microwav Conference on Hardware and Systems for 5G and Beyond.Atlanta : IEEE ,2019 : 1. doi:10.1109/IMC-5G478572019.9160380

[4] WANG D L,LIU T.A fast locking method for charge pump phase-locked loop with wide frequency range [J].Electronics and packaging,2021,21(2):86-90. doi:10.16257/j.cnki.1681-1070.2021.0203

(王德龙，刘彤. 一种宽频率范围电荷泵锁相环快速锁定方法 [J]. 电子与封装，2021，21（2）：86-90)

[5] GAO X.Low Jitter and Low Power PLL : towards the utopia [C] // International SoC Design Conference.Jeju , Korea (South) : IEEE ,2019 : 38-39. doi:10.1109/ISOCC47750.2019.9078535

[6] Kuncham S S,Gadiyar M,Sushmitha D K,et al.A Novel Zero Blind Zone Phase Frequeney Detector for Fast Acquisition in Phase Locked Loops [J]. 201831st International Conference on VLSI Design and 201817th International Conference on Embedded Systems(VLSID),2018:167-170. doi:10.1109/VLSID.2018.56

[7] Biswas D,Bhattacharyya T K.Charge pump with reduced current mismatch for reference spur minimization in PLLs[J].Analog Integr Circ Sig Process, 2018(95):209-221. doi:https://doi.org/10.1007/s10470-018-1163-z

[8] FU X,El-Sankary K,Yadong Y,etal.Pulse injection background calibration technique for charge pump PLLs[C] // 2020 18th IEEE International New Cir- cuits and Systems Conference(NEWCAS),2020:98-101. doi:10.1109/NEWCAS49341.2020.9159782

[9] CAI K,ZHANG G.High-Gain PFD/Charge pump with gain proportional to slew rate of up/down signals [C]. //2020 IEEE International Conference on Int- egrated Circuits,Technologies and Applications (ICTA),2020:1-2. doi:

10.1109/ICTA50426.2020.9332033

[10] Abdul A M,Nelakuditi U R.A Linearized Charge Pump for power and phase noise efficient fractional-N PLL design [J].2021 5 th International Conference (12):223-225. doi:10.1109/ICOEI51242.2021.9452862

[11] XIE J,YU S B,Tian C,et al.Research on Optimal Design Method of Passive Filter [J]. Microcomputer and Application,2015,34(3):95-98. doi:10.19358/j.issn.1674-7720.2015.03.030

（谢俊,余水宝,田聪. 无源滤波器优化设计方法研究 [J].微型机与应用 ,2015,34(3):95-98.）

[12] DUAN W J,Liu B,WANG J C,etal.Optimal Design of 2.4GHz VCO for Microwave Communication[J]. Piezoelectricity and Acousto-light，2024,42(4);461-465. doi:10.11977/j.issn.1004-2474.2020.04.007

(段文娟，刘博，王金婵,等 .用于微波通信的 2.4 GHz 压控振荡器优化设计[J].压电与声光，2020，42（4）：461-465)

[13] LIANG J Q,QUAN H Y,ZHANG D W,et al.An Integrated VCO Broadband Frequency Synthesizer [J]. Semiconductor Technology，2021，46（11）：854-860. doi:10.13290/j.cnki.bdtjs.2021.11.005

（梁佳琦,权海洋,张佃伟. 一款集成 VCO 宽带频率合成器［J］. 半导体技术，2021，46（11）：854-860.）

[14] ZHU Y X,LIANG B,YANG F S,et al.Design of 4/5 dual-mode predivider based on MOS current-mode logic.[J].Electronic technology,2018,31 (05):69-72. doi:10.16180/j.cnki.issn1007-7820.2018.05.018

(朱艳霞, 梁蓓, 杨发顺. 基于 MOS 电流模逻辑的 4/5 双模前置分频器设计 [J]. 电子科技, 2018, 31（05）:69-72)

Design of high-speed charge pump phase-locked loop used for particle physics experiment data transmission system

DENG Xiangyu[1]，LI Hao[1]，HAN Weijia[2,3]，YANG Haibo[2,3,4]，ZHAO Chengxin[2,3,4]

（1.School of Physics and Electronic Engineering Northwest Normal University ，Lanzhou，730000；

2.Institute of Modern Physics, Chinese Academy of Sciences ，Lanzhou，730000

3.Advanced Energy Science and Technology Guangdong Laboratory ，Huizhou，516003

4.University of Chinese Academy of Sciences ，Beijing ，100049）

Abstract: Based on a UMC 55 nm CMOS process, this paper implements a 10 GHz high-performance charge pump phase-locked loop with high-speed output and low power consumption, which can provide a high-frequency differential clock for the data transmission system in particle physics experiments. A dual-branch charge pump with an operational amplifier and dummy MOSFETs is designed to reduce the influence of non-ideal factors on the circuit. A high-speed, low-power 64-divider circuit is designed to convert the 10 GHz differential clock output by the phase-locked loop into a 156.25MHz single-ended clock. An LC voltage-controlled oscillator is designed with a complementary cross-coupled structure, which enables fast start-up with low phase noise. The simulation results show that under the typical process corner, the phase noise of the VCO at 1 MHz frequency offset is -104.14 dBc/Hz. The PLL lock time is about 500ns, the power consumption is 22.34mW, and the peak-to-peak jitter is 6.59ps.

Keywords: phase locked loop; charge pump; frequency divider; high speed

---

Received date: ； Revised date:

Foundation item: National Natural Science Foundation of China(12005278，12005279)

Corresponding author: YANG Haibo, E-mail: yanghaibo@impcas.ac.cn;